

Document Code:B1

(11) Publication No.1001957410000

(44) Publication.Date. 19990212

(21) Application No.1019960026595

(22) Application Date. 19960701

(51) IPC Code:

H03M 7/00

(71) Applicant:

DAEWOO ELECTRONICS CO., LTD.

(72) Inventor:

CHOI, YEONG BAE

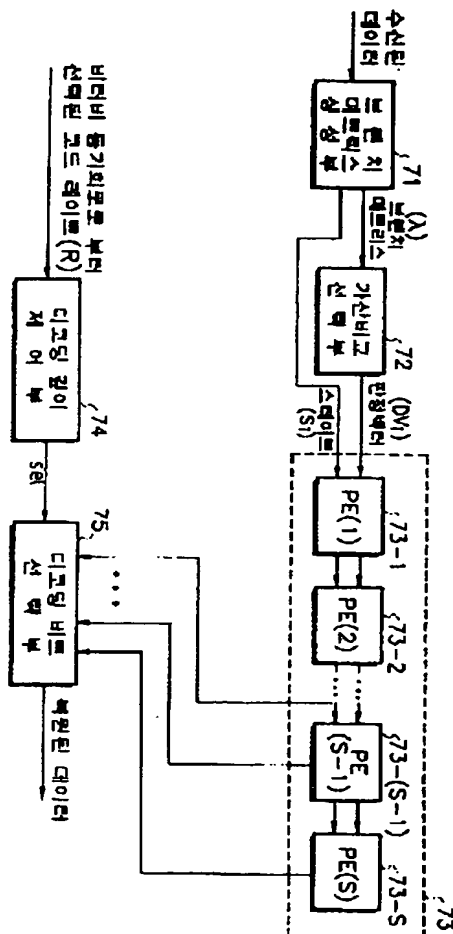
(30) Priority:

(54) Title of Invention

VARIABLE RATE VITERBI DECODER

Representative drawing

(57) Abstract:



CONSTITUTION: A Viterbi decoder comprises a branch metric calculation unit(71) for receiving encoding data stream, calculating branch metrics by comparing the received code word and code words to be generated at each state(S_i), and outputting the state and branch metrics; an add/ comparison selection unit(72) for receiving and comparing the branch metrics from the branch metric calculation unit with fed back previous path metrics, calculating an updated survivor path metric, and outputting a decision vector corresponding

to the updated survivor metric; a survivor memory unit(73) for tracing back a current

survivor path by using the decision vector and the state; a decoding depth control unit(74) for receiving code rate(R) corresponding to the current received code word, determining a decoding depth, and outputting the decoding depth as a selection signal(sel); and a decoded symbol selection unit(75) for selecting decoding bit in accordance with the selection signal and outputting a finally restored information sequence.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. [°] H03M 7/00	(11) 공개번호 (43) 공개일자	특 1998-0012952 1998년 04월 30일
(21) 출원번호	특 1996-0026595	
(22) 출원일자	1996년 07월 01일	
(71) 출원인	대우전자 주식회사 배순훈	
(72) 발명자	서울특별시 중구 남대문로5가 541 (우 : 100-095) 최영배	
(74) 대리인	서울특별시 마포구 대흥동 18-36 (우 : 121-080) 전천웅	
심사청구 : 있음		
(54) 가변 레이트 비터비 복호화기		

요약

본 발명은 길쌈 부호기에 의해 암호화된 정보 시퀀스를 수신하여 복원하는 비터비 복호화기에 관한 것으로, 특히, 다양한 코드레이트에 따라 적절한 디코딩 깊이를 설정하도록 하여 비트에러율을 감소시킨 가변레이트 비터비 복호화기에 관한 것으로, 브랜치 매트릭스(A)와 스테이트(S)를 출력하는 브랜치 매트릭스 생성부(71)와; 상기 브랜치 매트릭스(A)를 이용하여 판정 벡터(DV)를 출력하는 가산비교 선택(72); 상기 판정 벡터(DV)와 스테이트(S)를 입력받아 트레이스백 진행하는 프로세싱 엘리먼트(73-1~73-5)들이 파이프라인 구조로 된 생존메모리(74); 현재 수신되는 부호어에 대한 코드레이트(R)를 입력받아 디코딩 깊이(L)를 결정하여 선택신호(sel)로 출력하는 디코딩깊이 제어부(74); 및 상기 선택신호(sel)에 따라 상기 프로세싱 엘리먼트로 출력된 디코딩 비트를 선택하여 최종 복원된 데이터로 출력하는 디코딩비트 선택부(75);를 포함하여 구성되 ? 코드레이트별로 최소의 비트에러율을 갖도록 디코딩 깊이(L)를 설정하고 그 만큼 트레이스백 진행된 프로 세싱 엘리먼트로부터 디코딩된 비트를 선택하므로써 결국은 동일한 하드웨어 즉 동일한 메모리 망을 사용하여 보다 높은 성능을 갖는 효과가 있는 것이다

도표도

도 1

명세서

[발명의 명칭]

가변 레이트 비터비 복호화기

[도면의 간단한 설명]

도 1a와 도 1b는 비터비 복호화를 위한 트렐리스도,

도 2는 일반적인 비터비 복호화기의 블록도,

도 3은 도2의 생존 메모리부의 트레이스 백(역추적)진행을 설명하기 위한 도면,

도 4a와 도 4b는 디코딩 깊이를 설명하기 위한 도면,

도 5는 일반적인 파이프라인 구조로 설계된 생존메모리부의 세부 블록도이고,

도 6은 본 발명 에서 이용된 코드레이트가 R=5/7 모드에서의 디코딩 깊이에 따른 비트에러율의 변화를 시

물레이션한 그래프,

도 7은 본 발명에 따른 도 6의 결과를 적용시킨 코드레이트에 따라 디코딩 깊이를 결정하는 가변레이트 비터 비 복호화기에 대한 블록도이다.

* 도면의 주요구분에 대한 ◎호의 설명

핀 의랜치 매트릭스 생성부 72 가산비교 선택확

73 생존메모리 ◎ 73-1~73-5 프로세싱 엘리먼트

14 디코딩깊이 제어 ◎ 7,1 디코딩비트 선택 ◎

[발명의 상세한 설명]

[발명의 목적]

[발명이 속하는 기술분야 및 그 분야의 종래기술]

년 반명은 길쌈 ◎호기에 의해 복호화된 정보 시퀀스를 수신하여 채널상에서 발생한 에러를 정정하여 원래의 정보 시퀀스로 복원하는 비터비 복호화기에 관한 것으로, 특히, 펄터링(puncturing)기법을 도입한 시스템의 다양한 코드레이트에 따라 적절한 디코딩 깊이를 선정하도록 하여 에러율을 감소시킨 가변레이트 비터비 복호화기에 관한 것이다.

일반적으로, 리터비 알고리즘은 격자상도(trellis diagram)를 사용하여 임의 시점의 스테이트에서 서로 다른 경로를 가진 2개의 경로가 서로 만나면, 이 2개의 경로에 대한 경로길이(이하 경로 매트릭스라함: path metrics)를 비교해 7-1 에러 발생확률이 낮은 하나의 경로만 선택하여 유지한다. 이때 선택된 경로를 생존 경로(survivor path)라고 하고, 생존 경로의 결정은 매 시점마다 수행된다.

이렇게하여 어느 시점에서 매 터음 11에서 수신된 부호어에 해당하는 가지(branch)가 현재 남은 각 경로 끝: 유되는면, 이 때에 최초로 t1의 가지 부호어를 복 호화하여 원래의 정보시퀀스의 최초비트를 복원하게 된다

이러7.4 비터비 알고리즘중 최대 근사 복호(maxi7u7-likelihood decoding)를 수행하는 알고리즘으로서, 동 적 프로그램(dynamic programming)◎ 일종이라고 할 수 있으며 1777년 길쌈 부호를 복호하기 위해 소개되어, 디지털 전송, 자기 기록, 음?? 인식 등과 같은 통신분야에서 널리 사용되고 있다.

도 7a 와 도 1b는 비터비 복호화를 위한 격자상도를 나타낸 것으로서, 도 1a는 노드(N)수가 2일 때의 격자상도이 나 도 1a에 도시된 바와 같이 격자상도를 통해서 어떠한 경로(path)를 선택하고, 관찰되는 상태의 전이 (observed state transition)로 인해, 시간 k의 스테이트를 (5, 7, 577)은 시간 간격 (k, k+1)의 가지(branch)에서 발생한 ◎호어와 실제 수신된 ◎호어와 비교하여 코드간의 거리 A (이하 브랜치 매트릭스라함: branch metric)가 계산된다.

이때, 77기 브랜치 매트릭스(A)는 강판정(hamming distance) 복호의 경우에는 해밍 거리(Hamming distance)로 계산되고, 연판정(euclidean distance)의 경우에는 유클리디언 거리(Euclidean distance)로 계산되어져 확률적으로 발생할 가능성이 높은 최적 경로(optimum path)를 계산하는데 이강된다.

예를 들어, 시간 k71 에서의 새로운 궤적 경로는 시간 k7a지의 경로 매트릭스 (path metric)에다가 시간 간격 (k, k+1)의 브랜치 매트릭스(branch metrics)가 합쳐져서 계산되는 것이다.

즉, 도 1b에 도시된 바와 같이, 시간 단계마다 리노드(시간에 따른 스테이트)를 각각에 대한 최적 경로를 계산하게 되는데, 노드 5...와 577가 경로 매트릭스 T... 777를 각각 갖고 있다면, 노드 5, L...과 5, 7, 7의 새로운 경로 매트릭스 T, 7...과 ? , 7,,는 하기 수학적 식으로 ◎터 구해진다.

(수학적 식 1)

$$T1... = \min(\text{imum}(A... + T7..., T17, + TL7))$$

$$T7,, = \min(\text{imum}(A7... + y..., Ta,, + TL1))$$

노드 5...에서는 A,,? 누 T, 7,와 A,? 누 Y77를 비교하여, 2개중 작은 길이 즉, 발생할 확률이 높은 것을 그 스테이트의 경로 매트릭스 T, k,,로 설정한다.

파시 방하면, 시간 k+1의 노드로 올 수 있는 경로의 종류는 이전 시간에서의 스테이트변화를 통하여 복수 개가 존재할 수 있고, 임의 시간의 노드에서 다음 시간의 노드로 전이하면서 발생 가능한 부호어와 현재 수신된 부호어와 비교하여 계산된 브랜치 매트릭스(A)를 이용하여 에러발생 확률이 가장 낮은 즉, 정보 시퀀스를 복원하는데 확률적으로 가장 높은 것을 경로 매트릭스(f) 로 선택하는 것이다.

이와 같은 경로 매트릭스를 계산하는 과정을 시간(T)이 경과함에 따라 순환적(recursive)으로 수행하여 최종 적으로 최 적 경로가 결정되는 것이다.

이때, 경로들을 트래이스 백(trac? back : 역추적)하면 경로들이 임의 1개의 노드로 병합(merge)되는 시간 단계가 존재하게 되고, 그 시간 관계(time step)가지의 노드 갯수를 결정 깊이(survivor depth : D)라 하며, 이 결정 깊이(D)가 비터비 복호화의 지면을 좌우하게 된다.

즉, 각 노드마다 상기 수학적 식 1에 의해 경로 매트릭스를 업데이트 하게되면, 결정 깊이(D) 이전에 해당하는 각 경로의 스테이트는 같게 되므로, 같게 되는 정도까지 트래이스 백을하여 결정 깊이(D) 이전의 스테이트 변화를 출력함으로써 복 호화하는 것이다.

한편, 도 2는 일반적인 비터비 복호기의 블록도로서, 비터비 복호기는, 브랜치 매트릭스 생성부(1)와 가산비교 선택부(7) 및 생존메모리부(5)로 구성되어있다.

상기 브랜치 매트릭스 생성◎(1)(BPU : Branch Metric Unit)는 수신된 부호화 데이터를 입력받아 모든 발생가능한 부호어들과 비교해서 브랜치 매트릭스 A (branch metric)를 계산하여 출력한다.

상기 가산비교 선택부(3)(ACSU : Add Compare Selection Unit)는 상기 브랜치 매트릭스 생성부(1)에서 브랜 치 매트릭스 ?를 입력받아 바로 이전의 경로 매트릭스(path metric)에 더하여 업데이트(update)시킨 다음, 이때 서로 만나는 두 개의 경로 매트릭스를 비교하여 확률적으로 높은 경로 매트릭스를 선택하여 판정 벡터(DV1)를 출력 한다

상기 생존메모리부(5)(SMU : Survivor Memory Unit)는 상기 가산비교 선택부(3)에서 출력된 판정 벡터(DV1)를 메모리에 저장한 다음 이 판정 벡터(DV1)를 이용하여 원래의 정보 시퀀스를 찾아낸다.

즉, 브랜치 매트릭스 생성부(1)는 수신된 디지털 신호를 입력받아 브랜치 매트릭스를 계산하여 가산비교 선택부(3)로 출력하고, 상기 가산비교 선택부(3)는 각 디코딩 사이클 마다 상기 브랜치 매트릭스(A)를 사용하여 경로 매트릭스(Y)를 업 데이트하여 7비트의 판정 벡터(DV1) 가산비교 선택 동작중 각 스테이트에서의 비교 결과임. 총 N개의 스테이트로 이루어진 격자상도를 가정할 때 각 디코딩 사이클 마다

트를 나타낼 수 있다.

상기 길쌈 ⊗호기에서 발생가능한 스테이트 수는 2^m이고, 부호화하고자하는 정보 비트(message bit)는 시프트 레지스터의 왼쪽부터 입력되는 것으로 가정한다.

이때, 각각의 스테이트가 판정 비트(decision bit)를 1개씩 가지고 있으면서 판정비트를 이용하여 이전 시간단계의 스테이트를 구하는 것을 임의의 한 스테이트에서 출발하여 트레이스백 한다고 말한다

즉, b, b_1, \dots, b_{br} 스테이트에서 트레이스백할 경우에 $b, -, b, -1, \dots, b, b_1, \dots, b_{br}$ 스테이트의 판정 비트(7)가 1인 경우 트레이스백된 이전 스테이트는 $b, \dots, b, brbv-2$ 이 되고, 판정 비트(7)가 1인 경우는 $b, 7, \dots, b, bn$ 이 되는 것이다.

이때 도 3의 가산비교 선택부(2)가 비교되는 두 개의 스테이트 중 선택된 스테이트의 맨 우측 비트(최상위비트(러SB))에 해당하는 비트를 그 스테이트의 판정 비트(7)로 출력함에 따라, 상기와 같은 트레이스백을 진행하여 얻게 되는 판정 비트의 열은 각 인코딩 사이클(encoding cycle)마다 시프트 레지스터의 맨 우측 비트(러SB)를 나타낸다.

결국, 판정 비트의 열은 길쌈 부호기의 시프트 레지스터로 입력되는 정보 비트열(7e7ssge bit)과 같게 된다. 수신측의 복호기에게 상기와 같은 트레이스백 진행 과정을 현재의 어느 한 스테이트에서 시작하여 무한대의 시간전까지 수행하므로써 선택된 생존 경로(survivor path)는, 길쌈 부호기에서 수행한 ⊗호화 경로와 가장 근접한 경로가 되는 것이다.

현재의 스테이트가 N개 있을 경우 N개의 스테이트에 대하여 이러한 무한대의 트레이스백 진행을 하여 이 중에서 확률적으로 가장 근접한 경로를 생존 경로(survivor path)로 결정하는 것이 최적 경로를 선택하는 방법이다.

그러나, 도 4에 도시된 바와 같이, 비터비 알고리즘은 무한대까지 진행하지 않고 구속장의 약 4~5배 정도 가지만 트레이스백 진행하여, 그 후로 트레이스백된 결과를 디코딩된 비트로 결정하더라도, 최적의 트레이스백과 진행과 거의 다르지 않다는 것이 시뮬레이션(simulation)에 의해 알려져 있다.

즉, 임의의 시간 단계의 각각의 스테이트에서 디코딩 깊이만큼 트레이스백 진행하면 각 스테이트의 생존 경로(survivor path)가 하나의 컨테이너로 병합(merge)되므로, 실제로 트레이스백 진행은 임의의 한 스테이트에서 트레이스백 진행하여 그 결과를 사용하여도 무방한 것이다.

도 4b에서와 같이 초기 상태에서 시작하여 디코딩 깊이(7)만큼 진행하고, 그 후에 m개 만큼 더 진행하여, m개의 복호화된 원래정보 시퀀스를 얻는다. 그 다음은 새로 들어온 m개의 판정 벡터(DVI)를 추가하여 다시 트레이스백 과정을 ⊗복한다. 즉 매 m개의 디코딩 사이클을 1주기로하여 최근에 들어온 L_m개의 판정 벡터(DVI)를 이용하여 트레이스백 과정이 반복된다.

이때 하드웨어적으로 결정되는 파라미터를 정리하면,

(수학적 2)

처리율 = 드로그노프노

메모리 = (L + a)

지연=(L_m)

즉, 처리율은 매 입력마다 (L_mu)/m 트레이스백 동작이 필요함을 나타낸다. 따라서 처리율을 높이기 위해서는 L_m을 높이게 되지만, 그에 따라 메모리의 증가나 지연의 증대가 뒤따라므로 파이프라인 구조를 사용하는 것이 바람직한 것으로 알려져 있다.

도 5는 일반적인 파이프 라인 구조로 설계된 생존 메모리부의 세부 블록도로서, 생존메모리부의 파이프 라인 구조는 N개의 스테이트를 갖는 길쌈부호를 복원하는 프로세싱 엘리먼트(20-1~20-5)가 직렬로 연결되어 있다.

상기와 같은 트레이스백 진행 구조에 있어서, 상기 각각의 프로세싱 엘리먼트(20-1~20-5)는 메모리(71)와 선입선출버퍼(77), 멀티플렉서(77) 및 시프트레지스터(27)로 구성된다.

71기 메모리(21)는 N개의 스테이트로부터 1비트씩 추출된 판정 비트(?)로 구성되며, N비트로 이루어진 판정 벡터(DVI)가 nx·7개 저장되는 크기가 Nxnm인 정적 램(SRAM)이다.

상기 선입선출버퍼(77)는 완충역할을 하는 것으로 상기 메모리(21)에서 출력된 m개의 판정 벡터(DVI)를 일시 저장하였다가 출력한다.

상기 멀티플렉서(f, j)는 선택신호에 따라 상기 메모리(21)에서 출력된 N비트의 판정 벡터(DVI) 중에서 1비트의 판정 비트(?)를 선택하여 출력하고, 상기 시프트레지스터(27) 상기 멀티플렉서(25)에서 출력된 판정 비트(7)를 최상위비트(러SB)로 하여 저장된 값을 시프트시키는 한편, 시프트된 레지스터값을 상기 멀티플렉서(87)의 선택신호로 입력함과 더불어 다음 단계의 프로세싱 엘리먼트에 초기 스테이트(Si)로서 출력한다.

여기서, n은 하나인 트레이스백 진행 셀에서 매 디코딩 사이클동안 트레이스백할 수 있는 스텝의 수로서 하드웨어 클럭 계획(clocking scheme)에 따라 결정되는 상수이고, m은 디코딩 사이클의 갯수로서 트레이스백 주기이다.

상기와 같은 파이프 라인 구조의 트레이스백 진행 구조의 동작을 설명하면 다음과 같다. 첫번째 프로세싱 엘리먼트(27-1)가 가산비교 선택부(ACSU)로 ⊗호기 입력된 N비트로 구성된 h개의 판정 벡터(DVI)를 포함하여 총 nom개의 판정 벡터(DVI)가 메모리(21-1)에 저장되며, 상기 메모리(21-1)에 저장된 nxm개의 판정 벡터(DVI)를 이용하여 nxm만큼 트레이스백을 수행하고, 트레이스백이 끝나면 최후 스테이트를 두번째 프로세싱 엘리먼트(27-2)의 시프트 레지스터(27-2)에 초기 스테이트로서 넘겨줄과 더불어, 상기 메

모리 (기-1)에 저장된 판정 벡터(1)vi)중 가장 오래전에 입력된 m개의 판정 벡터(DVi)를 선입선출버퍼(23-1)를 통해 두번째 프로세싱 엘리먼트(27-2)의 메모리(21-2)로 넘겨주게 된다.

◎리고, 두번째 프로세싱 엘리먼트(27-2)의 메모리(21-2)는 상기 선입선출버퍼(23-1)를 통해 입력된 판정 벡터(DVi)를 포함하여 총 nom개의 판정 벡터(DVi)가 저장되며, 두번째 트레이스백 진행 셀(27-2)은 상기 메모리(21-2)에 저장된 nom개의 판정 벡터(DVi)를 이용하여 nx? 만큼 트레이스백을 수행하고, 트레이스백이 끝나면 최후 스테이트를 세번째 프로세싱 엘리먼트(20-3)의 시프트 레지스터(27-3)에 초기 스테이트로서 넘겨줌과 더불어 상기 메모리(21-2)에 저장된 판정 벡터중 가장 오래전에 입력된 71개의 판정 벡터를 선입선출버퍼(23-7)를 통해 세번째 프로세싱 엘리먼트(20-3)의 메모리(21-3)로 넘겨주게 된다

즉, 프로세싱 엘리먼트(27-1~27-5)는 자신의 메모리(21-1~21-5)에 상기와 같이 입력된 a개의 판정 벡터를 포함하여 총 n?? 개의 판정 벡터를 갖게 되며, 이것을 가지고 nxm 만큼의 트레이스백을 진행하는 것이다.

이렇게 트레이스백이 끝나면, 최후 스테이트를 다음 프로세싱 엘리먼트에 넘겨줌과 더불어 자신의 메모리에 있는 판정 벡터(07-1) 중 가장 오래전에 입력되었던 ni개의 벡터를 선입선출버퍼(FIFO)를 통해 다음 프로세싱 엘리먼트로 출력 한다

그리고, 다음 단의 프로세싱 엘리먼트는 전단의 프로세싱 엘리먼트에서 입력된 스테이트를 초기 스테이트로 하고 선입선출버퍼에 저장되어 있던 a개의 판정 벡터를 입력받아 트레이스백을 수행한다.

강기와 같은 프로세싱 엘리먼트(27-1~20-5)가 5개로 이루어진 파이프라인 구조를 갖는 생존 메모리부의 하 드웨어 파라미터는 다음의 관계를 만족하여야 한다

7수학적 식 31

.77? S x- =특금

전데정적럼용량 Sxnhnl = (L ? m)

전체메모리용량 정적 량용량 + 선입선출버퍼용량

=Sxnhm + (5- 1)Xa

(L + Hl)

= 1? ? m) + ◎◎◎- m

= L . 프로그즈

상기 수학식 30에서의 1.값은 디코딩 길이로서, 각 코드레이트별로 디코딩 길이(L)에 따른 비트에러율(BER)에 대한 시뮬레이션을 통하여서 최적의 성능을 갖도록 디필딩 값(L)을 결정하게 된다.

71제, 단 반영의 가변레이트 비터비 복호화기를 도 6과 도 7을 참조하여 자세히 설명하고자 한다.

f. 7은 본 발명에 이 ◎된 코드레이트(R)가 5/? 모드에서의 디코딩 길이(L)에 따른 비트에러율(BER)의 변화 를 시뮬레이션한 그래프로써, 비트에러율과 변화는 주기 5를 가지고 디코딩 길이(L)에 따라 주기적으로 변동 하고 있 다.

디코딩 길이(L) 75에서 99까지의 1 주기를 살펴보면, 디코딩 길이가 95 일 때 비트에러율(BER)이 가장 낮 고, 디코딩 길이가 97일 때 비트에러율(BER)이 가장 높은 것을 볼 수 있다. 트레이스 백 진행을 2번 더 수행 하였지만 복원된 정보의 신뢰도는 더 낮은 것이다

기타 다양한 코드레이트에 대해서도 시뮬레이션해 본 결과 디코딩 길이(L)가 증가됨에 따라 비트에러율 (BER)은 각 코드레이트의 분자를 주기로 비트에러율이 변동하면서 감소되고 있음을 발견 할 수 있었 다.

상기와 같은 주기적인 비트에러율(BER)의 변화를 이용하여 어느 주기중에서 비트에러율이 최소치가 되는 디코딩 길이(L)를 선정하고, 그 디코딩 길이만을 진행된 프로세싱 엘리먼트로부터 출력된 디코딩 비트를 얻는다면, 동일한 메모리를 가지고도 비트에러율이 감소된 원래 정보 시퀀스로 복원할 수 있다는 점에 착안하였 다.

이어서, 도 7은 본 발명에 따른 도 6의 결과를 적용하여 코드레이트에 따라서 디코딩 길이를 결정하는 가변 레이트 비터비 복호화기에 대한 블록도로서, 가변레이트 비터비 복호화기는 브랜치 매트릭스 생성부(71)와, 가산비교 선택부(77), 생존 메모리부(73), 디코딩길이 제어부(74) 및 디코딩비트 선택부(75) 로 구성되어 있다.

상기 브랜치 매트릭스 생성◎(71)는 수신된 부호화된 데이터열을 입력받아, 각 스테이트에서 발생가능한 ◎호어특과 비교하여 브랜치 매트릭스(A)를 계산하고, 상기 스테이트(Si)와 브랜치 매트릭스(A)를 출력한다.

상기 가산비교 선택◎(72)는 상기 브랜치 매트릭스(A)를 입력받아 바로 이전의 경로 매트릭스에 업데이트 시킨다음, 이 때 서로 만나는 두 개의 경로 매트릭스를 비교하여 판정 벡터(DVi)를 출력한다.

상기 생존메모리◎(73)는 프로세싱 엘리먼트(73-1~73-5)들이 파이프라인 구조로 연결되어 있으면서, 첫 번째 프로세싱 엘리먼트(i? 1)는 상기 브랜치 매트릭스 생성부(71)에서 출력된 임의 간테이트(Si)와 상기 가산비 교 선택부(72)에서 출력된 판정 벡터(DVi)를 이용하여 트레이스백 진행하여 최종 결정된 판정 벡터(DVi)와 스테이트(Si)를 다음 프로세싱 엘리먼트로 계속해서 전달하면서 트레이스백을 진행한다.

상기 디코딩길이 제어화(74)는 비터비 동기 프로(도시되지 않음)로부터 현재 수신되는 부호어에 대한 코드 레이트(R)를 입력받아 상기 생존메모리부(73)의 프로세싱 엘리먼트(73-1~77-5) 한도내에서 상기 코드

레이트(R)의 비트에러율(BER)을 최소로 하는 디코딩 깊이(L)를 결정하여 이를 선택신호(7e1)로 출력한다.

77기 디코딩비트 선택부(77)는 상기 선택신호(7e1)를 입력받아 그에 해당하는 트레이스백 진행된 프로세싱 엘리먼트로부터 출력된 디코딩 비트를 선택하여 최종 복원된 정보 시퀀스로 출력한다.

여기서, 상기 생존메모리(77)의 프로세싱 엘리먼트(PEi)가 77개로 구현된 시스템을 예로 들어, 디코딩깊이제어부(74)가 코드레이트(R)에 따라 디코딩 깊이(L)를 결정하는 바람직한 실시예를 표 2에 나타내었다.

(표 2)

코드레이트에 따른 디코딩깊이

L 코드(00000017: 7(197) ?

1 2/3 1-2, 1(=97) 1

상기와 같은 결과는 도 7에 나타낸 것과 같이 코드레이트(R)에 따라, 각각의 시뮬레이션을 수행해본 결과를 토대로 설계되었으며, 표 2에서 보는 바와 같이 코드레이트(R)가 1/2 일때는 트레이스백을 많이 할수록 에러율이 감소하므로 디코딩 깊이(L)는 최대치로 하여 97번째 프로세싱 엘리먼트로부터 출력된 비트를 디코딩비트로 선택하여 복원된 데이터로 결정하는 것이 바람직하다.

또한, 나머지 2/3, 3/4, 5/7, 7/8 의 코드레이트(R)에서는 분자의 정수배 또는 정수배+1에 해당하는 주기로 비트에러율이 최소값을 가지면서 변동하되, 그 값을 디코딩 깊이(L)를 선택하는 것이 바람직하다.

그러므로, 디코딩 깊이 제어부(74)로 코드레이트 2/3이 입력되면, 상기 디코딩 깊이 제어부(74)는 현재 수신된 0호머의 디코딩 깊이를 77로 결정하여, 상기 디코딩 비트 선택부(75)에서 상기 생존메모리부(73)의 77번째 프로세싱 엘리먼트로부터 출력된 비트를 디코딩 비트로 선택하도록 제어한다.

즉, 디코딩 깊이가 97로 결정되면 디코딩 비트로 결정되는 비트는 97번째 프로세싱 엘리먼트로부터 출력된 디코딩 비트가 되는 것이다.

상기 표 2와 같은 결과는 실제 채널환경과 같은 조건하에서 시뮬레이션한 결과로서, 상기 표 2의 결과에 77하여 본 발명을 한정할 것은 아니다.

[발명의 효과]

이 77에서 설명한 바와같이, 본 발명에 따르면 병치된 기법에서 사용된 각각의 절드레이트들이 갖는 디코딩 깊이에 따른 비트에러율의 특성을 이용하여 생존메모리(77)가 갖는 프로세싱 엘리먼트들에서 비트에러율을 최소화하는 디코딩 깊이를 결정해 주며, 그 디코딩 깊이만큼 트레이스백 진행한 프로세싱 엘리먼트로부터의 디코딩 비트를 최종 복원된 정보 시퀀스로 출력함으로써 기존과 동일한 생존메모리부를 사용하면서도 최소 비트 에러율을 유지하는 효과가 있는 것이다.

(57) 청구의 범위

청구항 1. 빗치링기법을 사용하여 다양한 절드레이트(R)로 전송된 부호어를 복원하는 비터비 복호화기에 있어서, 송신측이 원래의 정보 시퀀스를 길쌈 0호화하여 전송한 부호어를 수신받아, 상기 수신부호어와 각 스테이트 (51)에거 발생가능한 부호어특과 비교하여 브랜치 매트릭스(7)를 계산하고, 상기 스테이트(Si)와 브랜치 매트릭스 7(A)을 출력하는 브랜치 매트릭스 생성부(71)와 ; 상기 브랜치 매트릭스(L)를 입력받아 바로 이전의 경로 매트릭스(T)에 업데이트시킨 다음 이 때 서로 만나는 두 개의 경로 매트릭스를 비교하여 판정 벡터(DV: 1)를 출력하는 가산비교 선택부(72) ; 상기 판정 벡터(DV1)와 임의 스테이트(Si)를 입력받아 트레이스백 진행하는 생존메모리부(73) ; 현재 수신부호어에 대한 코드레이트(R)를 입력받아 디코딩 깊이(L)를 결정하여 이를 선택신호(7e1)로 출력하는 디코딩깊이 제어부(74) ; 및 상기 선택신호(7e1)에 따라 디코딩 비트를 선택하여 최종 복원된 정보 시퀀스를 출력하는 디코딩비트 선택부(75) ; 를 포함하여 구성된 가변 레이트 비터비 복호화기 .

청구항 2. 제 1 항에 있어서, 상기 생존 메모리부(73)는 프로세싱 엘리먼트들(73-1~73-5)이 파이프라인 구조로 연결 리어 있으면서, 첫 번째 프로세싱 엘리먼트(73-1)는 상기 브랜치 매트릭스 생성부(71)에서 출력된 임의 스테이트(51)과 77기 가산비교 선택부(72)에서 출력된 판정 벡터(DV1)를 이용하여 트레이스백 진행한 후 얻어진 판정 벡터(DV1-2)와 스테이트(51-2)는 다음 프로세싱 엘리먼트로 전달되며 트레이스백 진행이 계속해서 각 프로 세싱 엘리먼트(77-1~73-5)에서 수행되며 출력된 디코딩 비트를 상기 디코딩 비트 선택부(75)로 입력하는 것을 특징으로 하는 가변 레이트 비터비 복호화기.

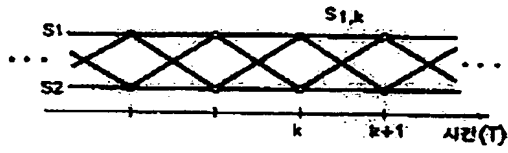
청구항 3. 제 1 항에 있어서, 상기 디코딩깊이 제어부(74)는 비터비 동기 회로(도시되지 않음)로 0터 코드레이트(R)를 입력받아 상기 생존 메모리부(77)의 프로세싱 엘리먼트(73-1~73-5)중에서 최소의 비트에러율(BER)을 갖는 디코딩 깊이(L)를 결정하여, 상기 디코딩 비트 선택부(75)의 선택신호(7e1)로 출력하는 것을 특징으로 하는 가 변레이트 비터비 부호화기.

청구항 4. 제 1 항에 있어서, 상기 디코딩 비트 선택부(75)는 상기 프로세싱 엘리먼트(73-1~73-5)로부터 출력된 디코딩 비트들 중에서 상기 디코딩 깊이 제어부(74)의 선택신호(7e1)에 따라 상기 디코딩 깊이(L)만큼 트레이스 백 진행된 디코딩 비트를 선택하여 최종 복원된 데이터로 출력하는 것을 특징으로 하는 가변레이트 비터비 복호화기 .

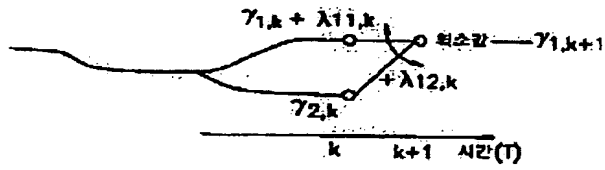
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

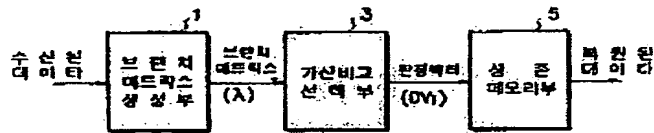
도면 1a



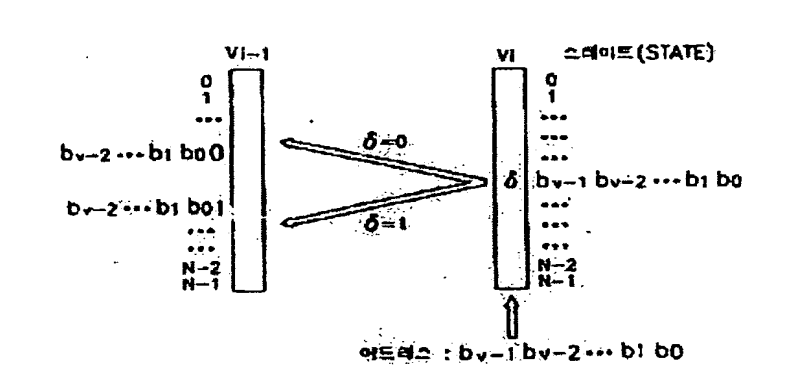
도면 1b



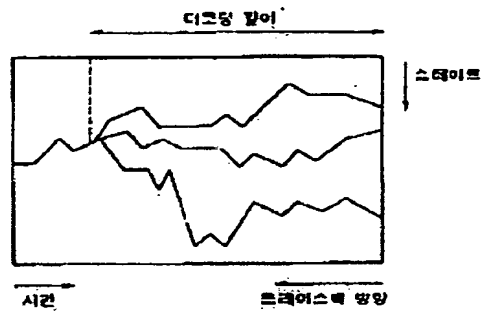
도면 2



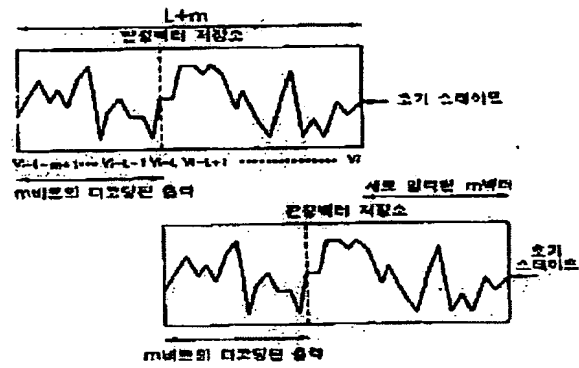
도면 3



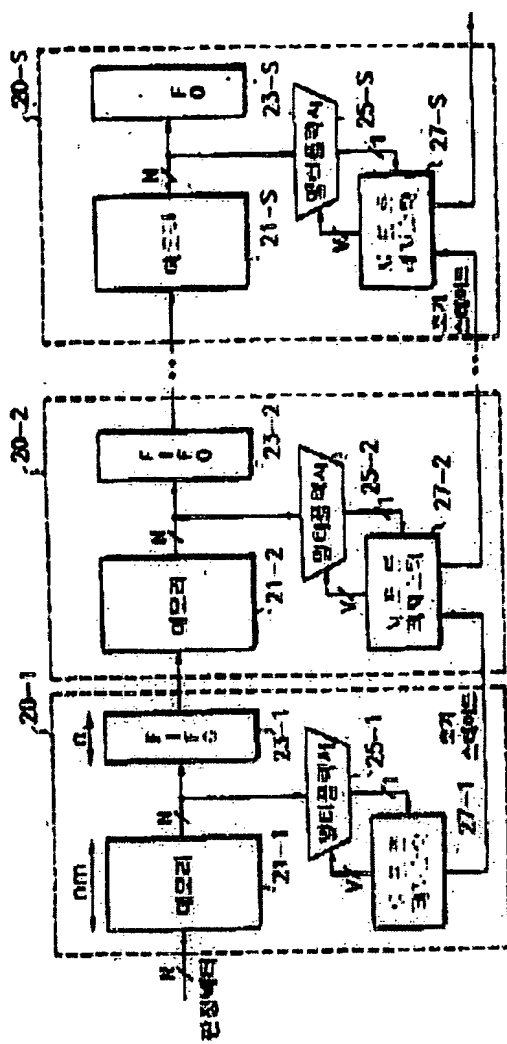
도면 4b



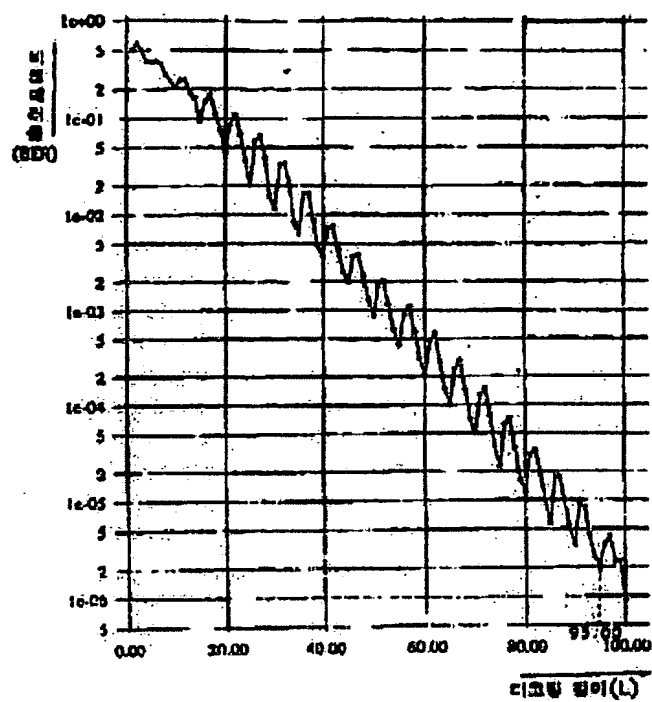
도면 4c



도 85



5.00



도 10

